

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-276935

(43)Date of publication of application : 15.11.1988

(51)Int.Cl.

H04L 11/00

(21)Application number : 62-030123

(71)Applicant : SEIKO INSTR & ELECTRONICS LTD

(22)Date of filing : 12.02.1987

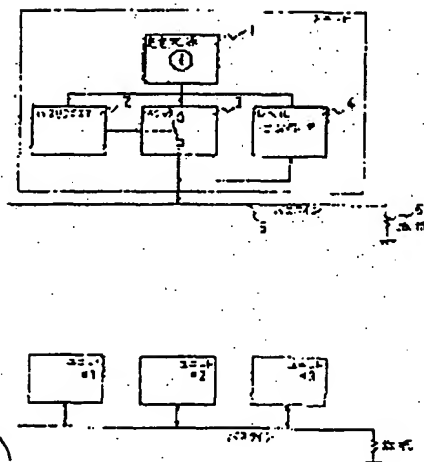
(72)Inventor : TACHIBANA HITOSHI

(54) HIGH SPEED BUS ARBITRATION CIRCUIT

(57)Abstract

PURPOSE: To attain bus acquisition by providing a constant current source to each unit, allowing a unit issuing a bus request to supply it to a bus line, and allowing each unit to detect a voltage drop across a resistor provided to the line thereby judging whether the request is addressed only to itself or to plural stations.

CONSTITUTION: When each unit does not issue any request, a switch 3 is turned OFF, no current flows to a bus line 5 and no voltage drop exists across a resistor 6 and the voltage of the line 5 is zero. When a unit desires to acquire a bus, a request signal is outputted from a bus requester 2 to the switch 3 after zero voltage is confirmed by a level comparator, an output current from a constant current source 1 is fed to the line 5 to cause a voltage of e.g., 2.5V across the resistor 6. Then the pulse comparator 4 compares the voltage and when the voltage is 2.5V, it is recognized that the acquisition request comes from the station only and the voltage is restored to zero after the real cycle. If a request exists earlier, since the voltage reaches 2.5V, retrieval is actuated after being in the standby state.



(or 5V, when two units mutually contend)

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

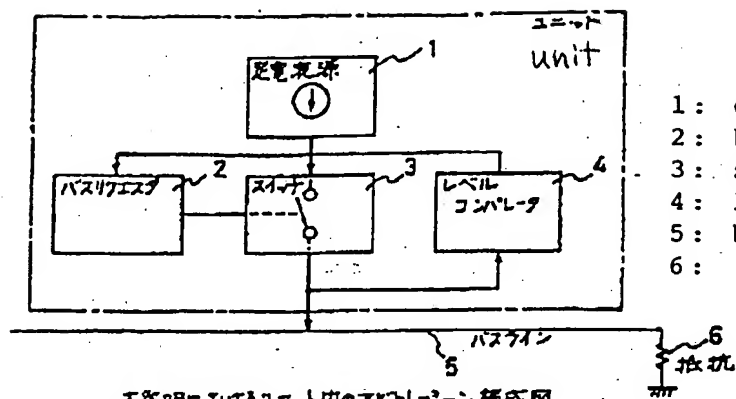
[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

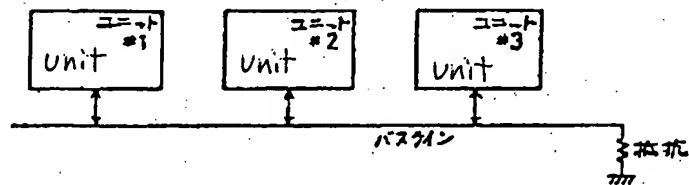
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office



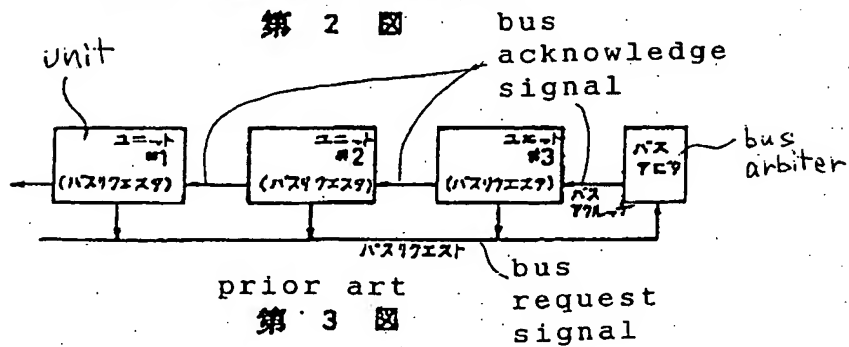
本発明におけるユニット内のアビテーション構成図

第 1 図



複数のユニットが接続された場合の構成図

第 2 図



第 3 図

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-276935

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月15日

H 04 L 11/00

3 2 0

7928-5K

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 高速バスアビトレーション回路

⑮ 特 願 昭62-30123

⑯ 出 願 昭62(1987)2月12日

⑰ 発 明 者 立 花

仁

東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内⑱ 出 願 人 セイコー電子工業株式
会社

東京都江東区亀戸6丁目31番1号

⑲ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

高速バスアビトレーション回路

2. 特許請求の範囲

複数のバス獲得機能をもつ各ユニットにおいて、前記、バス獲得を前記各ユニットに通知するための電圧を出力する定電流源と、バス獲得要求信号を発生するバスリクエストと、前記定電流源の出力を前記バスリクエストの要求信号に従いバスラインへ流すスイッチと、前記バスラインの電圧を検知しバス獲得要求が、一つか複数かを判別するレベルコンパレータとで構成されていることを特徴とする高速バスアビトレーション回路。

3. 発明の詳細な説明

〈産業上の利用分野〉

本発明は、計算機等で複数のユニットがバスを交互に獲得してデータ転送動作する場合の制御回路に関する。

〈発明の概要〉

本発明は、各ユニットがバスを獲得する際に、

バスラインに定電圧を渡し、その電圧レベルを検知することで高速なアビトレーションを可能とするものである。

〈従来の技術〉

従来、第3図に示すように、バス獲得を要求する複数のバスリクエストとは別にバスアビタ回線が設けられており、バスリクエストから出力されるバス獲得要求信号はバスリクエストラインを過してバスアビタに行き、それに対するバスアクノレッチ信号を受けとったものが、バスを獲得できた。

〈発明が解決しようとする問題点〉

しかし、従来のアビトレーション回路では、必ずバスアビタが別に必要であり、またバスラインも最低2本は使用している。更にアビトレーションを行なう際の処理時間も50ns~100nsがかりであり速度的にも不利であった。

そこで、本発明は、従来のこのような欠点を解決するため、アビタを別に置かず、またバスラインも1本のみ使用し、更に処理時間も10ns前後

で終わらせることを目的としている。

〈問題点を解決するための手段〉

上記問題点を解決するために、本発明は、各ユニット毎に定電流源を持ち、バスリクエストを出しているユニットはそれをバスラインに渡し、バスラインについている抵抗の電圧低下を各ユニット毎に検知し、リクエストが自分だけか、複数かを判別してバスを制御するようにした。

〈作用〉

上記のような手段により、現在のバスの使用状況、およびバスリクエストを出力した時の他のリクエストの状況が1本のバスラインで検出でき、かつ高速なアビトレーションが可能である。

〈実施例〉

以下に、この発明の実施例を、図面にもとづいて説明する。第1図において各ユニットのどれかが要求を出していない時はスイッチ3はOFFであり、バスライン5には電流が流れておらず、そのため抵抗6の電圧降下がなく、バスライン5の電圧は0Vである。今、一つのユニットがバスを

獲得しようとした場合、バスラインの電圧が0Vであることをレベルコンパレータ4が検知した上でバスリクエスト2は要求信号をスイッチ3へ出力する。スイッチ3はその信号を受けて定電流源1の出力電流をバスライン5へ流す。バスライン5は、抵抗6で終端されており、例えば電流源が10mAで抵抗値が250Ωの時は、2.5Vの電圧がバスライン上にあらわれる。

次にユニットでは電圧が安定した時点で、バスラインの電圧をレベルコンパレータ4でコンパレートする。そしてその結果が2.5Vであれば、バス獲得要求は自分だけであることを知り、そのまま次のサイクルに入る。そしてサイクルが終了した時点で要求信号を止め、スイッチ3をOFFし、バスライン5の電圧を0Vに戻す。

もし複数のユニットが同時にバス獲得要求を出した場合は、各ユニットから流される電流が加算されるため+5V以上になる。各ユニットは、この電圧をレベルコンパレータ4で検知した場合、一度リクエスト信号を止めある一定時間の遅延を

おいた後、再びリクエストを出す。この遅延時間を各ユニット毎に覚えておくと、二度めのバス獲得要求に時間差が生じるため、一番遅延時間の少ないものが獲得することになる。これにより各ユニットの優先順位をつけることが可能である。

〈発明の効果〉

以上説明したように、本発明によれば、各ユニット毎にわずかの回路を設けるだけで、独立したバスアビタがいらず、バスラインも1本のみ使用するだけでよく、かつ高速にバスアビトレーションを行なうことができるという効果を有する。

4. 図面の簡単な説明

第1図は、本発明におけるユニット内のアビトレーション構成図、第2図は本発明における複数のユニットが接続された場合の構成図、第3図は従来のアビトレーション構成図である。

1…定電流源

2…バスリクエスト

3…スイッチ

4…レベルコンパレータ

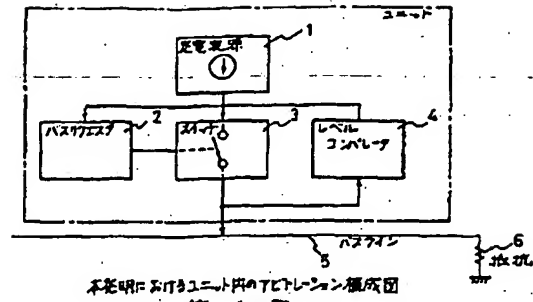
5…バスライン

6…抵抗

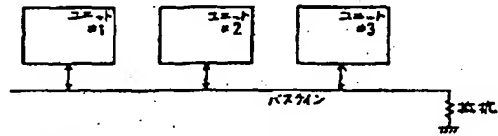
出願人 セイコー電子工業株式会社

代理人 弁理士 最上 明

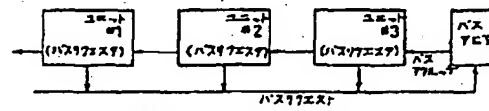
(他1名)



第 1 図



第 2 図



第 3 図